

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
	)	
Shigeki TOMISHIMA et al.	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: July 9, 2003	)	Confirmation No.: Unassigned
	)	
For: MEMORY DEVICE CONTAINING	)	
ARBITER PERFORMING	)	
ARBITRATION FOR BUS ACCESS	)	
RIGHT	)	

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2002-235579

Filed: August 13, 2002

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 9, 2003

By: \_\_\_\_\_

Platon N. Mandrou  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月13日

出願番号

Application Number:

特願2002-235579

[ST.10/C]:

[JP2002-235579]

出願人

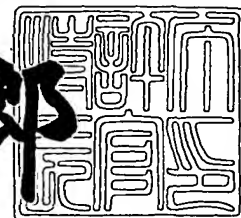
Applicant(s):

三菱電機株式会社

2002年 9月20日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3072859

【書類名】 特許願

【整理番号】 539365JP01

【提出日】 平成14年 8月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00  
G06F 13/362

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 冨嶋 茂樹

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 細谷 史郎

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 メモリユニットと、

複数のユニットからのバス使用要求を調停しながら前記メモリユニットを制御するアービタとを含んだメモリ装置であって、

前記アービタは、第 1 のバス使用要求に対応する前記メモリユニットへのアクセスが完了する前に第 2 のバス使用要求がある場合、前記第 1 のバス使用要求に対応する前記メモリユニットへのアクセスと並行して前記第 2 のバス使用要求に対応した前記メモリユニットの活性化を行なう、メモリ装置。

【請求項 2】 前記アービタは、前記第 1 のバス使用要求に対応する前記メモリユニットへのアクセスが完了する前に前記第 2 のバス使用要求に対応した許可信号を出力する、請求項 1 記載のメモリ装置。

【請求項 3】 前記メモリユニットは、複数のメモリバンクを有し、

前記アービタは、前記複数のユニットに対応した複数のアドレスポートを有し、前記第 1 のバス使用要求に対応する前記メモリユニット内の第 1 のメモリバンクへのアクセスと並行して前記第 2 のバス使用要求に対応したアドレスを前記メモリユニットへ出力し、前記第 1 のメモリバンクと異なる第 2 のメモリバンクの活性化を行なう、請求項 1 または 2 記載のメモリ装置。

【請求項 4】 前記メモリ装置は、前記複数のユニットを内蔵する、請求項 1 ～ 3 のいずれかに記載のメモリ装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、CPU (Central Processing Unit)、DSP (Digital Signal Processor) などの複数のチップが共有することが可能なメモリ装置に関し、特に、バスの使用権の調停を行なうアービタを内蔵したメモリ装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、CPUチップ、メモリチップなどを搭載したシステムの高機能化、多機能化が進んでおり、CPUチップ以外に、DSP、浮動小数点演算を行なう論理回路（以下、単にロジックと呼ぶ。）などの演算機能を有するチップが搭載されている場合も多い。

【0003】

図3は、CPUチップ、メモリチップなどを搭載した従来のシステムボードの概略構成の一例を示すブロック図である。このシステムボード101は、メモリ111a～111cと、システム全体の制御を行なうCPU112と、データを処理するDSP113と、浮動小数点演算などの演算処理や他の処理を行なうロジック114とを含む。なお、このシステムボード101は、システムポートを介して外部との間でデータの入出力が可能である。

【0004】

CPU112、ロジック114およびDSP113には、それぞれメモリ111a、111bおよび111cがメモリバスを介して接続されている。また、CPU112、DSP113およびロジック114は、システムバスを介して接続されている。

【0005】

CPU112は、メモリ111aにアクセスしながら主にシステム全体の制御を行なう。ロジック114は、メモリ111bにアクセスをしながら浮動小数点演算などの演算処理を行なう。また、DSP113は、メモリ111cにアクセスしながらデータ処理を行なう。CPU112は、システムバスを介してロジック114による演算結果やDSP113によるデータ処理結果を受け、システム全体の制御を行なう。

【0006】

図4は、メモリ111a～111cの一例である非同期式DRAM（Dynamic Random Access Memory）チップの内部構成を示すブロック図である。この非同期式DRAMチップは、メモリアレイ121と、外部からアドレスを入力するアドレス入力部122と、アドレス入力部122によって入力されたアドレスをデコードするアドレスデコーダ123と、外部からコマンドを入力するコマンド入力

部 1 2 4 と、コマンド入力部 1 2 4 によって入力されたコマンドを解釈して、コマンドに応じた制御を行なう制御部 1 2 5 と、制御部 1 2 5 による制御によってメモリアレイ 1 2 1 へのデータ書込み、メモリアレイ 1 2 1 からのデータ読出しを制御するデータ制御部 1 2 6 と、制御部 1 2 5 による制御によってデータの入出力を行なうデータ入出力部 1 2 7 とを含む。

## 【 0 0 0 7 】

アドレスデコーダ 1 2 3 は、アドレス入力部 1 2 2 によって入力されたアドレスをデコードし、デコード結果をメモリアレイ 1 2 1 へ出力することによって、メモリセルの選択を行なう。

## 【 0 0 0 8 】

制御部 1 2 5 は、コマンド入力部 1 2 4 によって入力されたコマンドを解釈して、リフレッシュ動作、プリチャージ動作、データ読出し動作、データ書込み動作などの制御を行なう。たとえば、コマンドがデータ読出しであれば、制御部 1 2 5 の制御によって、データ制御部 1 2 6 がアドレスデコーダ 1 2 3 によって選択されたメモリセルからデータを読出し、データ入出力部 1 2 7 を介してデータを外部へ出力する。

## 【 0 0 0 9 】

図 5 は、メモリ 1 1 1 a ~ 1 1 1 c の他の一例である同期式 D R A M チップの内部構成を示すブロック図である。この同期式 D R A M チップは、メモリアレイ 1 3 1 と、外部からアドレスを入力するアドレス入力部 1 3 2 と、アドレス入力部 1 3 2 によって入力されたアドレスをデコードするアドレスデコーダ 1 3 3 と、外部からコマンドを入力するコマンド入力部 1 3 4 と、コマンド入力部 1 3 4 によって入力されたコマンドを解釈して、コマンドに応じた制御を行なう制御部 1 3 5 と、外部からクロック信号を入力するクロック入力部 1 3 6 と、クロック入力部 1 3 6 によって入力されたクロック信号によってタイミング制御を行なう制御部 1 3 7 と、制御部 1 3 5 による制御によってメモリアレイ 1 3 1 へのデータ書込み、メモリアレイ 1 3 1 からのデータ読出しを制御するデータ制御部 1 3 8 と、制御部 1 3 7 から出力されるクロック信号に同期してデータの入出力を行なうデータ入出力部 1 3 9 とを含む。

## 【0010】

アドレス入力部132は、制御部137から出力されるクロック信号に同期して外部からアドレスを入力する。アドレスデコーダ133は、アドレス入力部132によって入力されたアドレスをデコードしてメモリアレイ131へ出力することによって、メモリセルの選択を行なう。

## 【0011】

コマンド入力部134は、制御部137から出力されるクロック信号に同期して外部からコマンドを入力する。制御部135は、コマンド入力部134によって入力されたコマンドを解釈して、リフレッシュ動作、プリチャージ動作、データ読出し動作、データ書込み動作などの制御を行なう。

## 【0012】

図6は、CPUチップ、メモリチップなどを搭載した従来のシステムボードの概略構成の他の一例を示すブロック図である。このシステムボード102は、メモリ111と、システム全体の制御を行なうCPU112と、データを処理するDSP113と、浮動小数点演算などの演算処理や他の処理を行なうロジック114と、メモリバスの使用権を調停するアービタ115とを含む。

## 【0013】

CPU112、DSP113およびロジック114は、メモリバスを介してメモリ111に接続しており、メモリ111を共有する。CPU112は、メモリ111にアクセスしながら主にシステム全体の制御を行なう。DSP113は、メモリ111にアクセスしながらデータ処理を行なう。また、ロジック114は、メモリ111にアクセスしながら浮動小数点演算などの演算処理を行なう。

## 【0014】

アービタ115は、CPU112、DSP113およびロジック114からメモリ111の使用権獲得のためのリクエスト(Req)信号を受ける。それぞれのReq信号には優先権が設けられており、アービタ115はその優先権にしたがって各リクエストを調停する。そして、アービタ115は、メモリバスの使用権を獲得したチップに対して許可(Ack)信号を出力する。

## 【0015】

A c k 信号を受けたチップは、アドレス (A d d) 信号等を出力してメモリ 111 に対するアクセスを開始する。アービタ 115 は、メモリ 111 に対して A d d 信号、コマンドなどを出力して、メモリ 111 に対する制御を行なう。

## 【0016】

図7は、システムボード102に実装されたアービタ115の動作を説明するためのタイミングチャートである。サイクル1において、CPU112がメモリバスの使用権獲得のための R e q 信号をアービタ115へ出力する。サイクル2において、アービタ115が R e q 信号の調停 (A r b) を行なう。このとき、他に R e q 信号を出力しているチップがないため、サイクル3において、アービタ115はCPU112に対して A c k 信号を出力する。

## 【0017】

CPU112が A c k 信号を受けてメモリバスの使用許可を認識すると、サイクル4において、CPU112は A d d 信号等をアービタ115へ出力する。このとき、アービタ115は、メモリ111に対して A d d 信号、コマンド (A c t) などを出力して、メモリ115を活性化させる。このサイクル4で、DSP113がアービタ115へ R e q 信号を出力する。

## 【0018】

サイクル5において、アービタ115はメモリバスの使用権獲得のための R e q 信号の調停を行なうが、優先順位にしたがってCPU112がメモリバスを使用中であるので、DSP113に対する A c k 信号は出力されない。サイクル6～9において、アービタ115はCPU112からの要求に応じてメモリ111にコマンドを出力し、メモリ111に対するデータ読出し (R e a d) またはデータ書込み (W r i t e) を行なう。

## 【0019】

サイクル9において、ロジック114がアービタ115へ R e q 信号を出力する。このサイクルで、アービタ115がメモリ111に対するデータ読出しまたはデータ書込みを終了する。

## 【0020】

サイクル10において、アービタ115はメモリバスの使用権獲得のための R

e q 信号の調停を行なうが、優先順位にしたがってDSP 1 1 3 がメモリバスを使用するので、ロジック 1 1 4 に対するAck 信号は出力されない。このサイクルにおいて、アービタ 1 1 5 はDSP 1 1 3 に対してAck 信号を出力する。

【0 0 2 1】

サイクル 1 1 において、DSP 1 1 3 はAdd 信号等をアービタ 1 1 5 へ出力する。このとき、アービタ 1 1 5 は、メモリ 1 1 1 に対してAdd 信号、コマンド(Act)などを出力して、メモリ 1 1 5 を活性化させる。

【0 0 2 2】

サイクル 1 3 ~ 1 6 において、アービタ 1 1 5 はDSP 1 1 3 からの要求に応じてメモリ 1 1 1 にコマンドを出力し、メモリ 1 1 1 に対するデータ読出し(Read)またはデータ書込み(Write)を行なう。

【0 0 2 3】

アービタ 1 1 5 がメモリ 1 1 1 に対するデータ読出しまたはデータ書込みを終了すると、サイクル 1 7 において、アービタ 1 1 5 はロジック 1 1 4 に対してAck 信号を出力する。以降、同様の処理が行なわれる。

【0 0 2 4】

【発明が解決しようとする課題】

図 3 に示すシステムボード 1 0 1 においては、CPU 1 1 2、DSP 1 1 3 およびロジック 1 1 4 のそれぞれに別個のメモリが接続されているため、メモリに対する使用権の競合が発生することはない。

【0 0 2 5】

しかし、システムボード 1 0 1 に搭載されるメモリチップの数が多くなる。それとともに、アプリケーションの高機能化、多機能化が進むにしたがって、システムボード 1 0 1 に搭載されるチップ数が増大して実装面積が大きくなるといった問題点がある。このことは、昨今の情報端末機器の携帯化の流れに反するものである。

【0 0 2 6】

また、標準のメモリチップの容量は予め決められたものしかないので、CPU 1 1 2、DSP 1 1 3 およびロジック 1 1 4 のそれぞれが必要とする容量に近い

メモリチップを入手することは困難であり、必要とする容量よりも大きな容量を有するメモリチップが使用されている場合が多い。したがって、システム全体のコストが高くなるといった問題点があった。

【0027】

一方、図6に示すシステムボード102においては、CPU112、DSP113およびロジック114がメモリ111を共有するので、図3に示すシステムボード101が有する問題点を解決することができる。しかし、上述したように、CPU112およびDSP113からのReq信号が競合した場合には、CPU112によるメモリ111のアクセスが完了するまで、DSP113にAck信号が出力されない。そのため、システム全体の処理性能が低下するといった問題点があった。

【0028】

本発明は、上記問題点を解決するためになされたものであり、第1の目的は、システム全体の処理性能の低下を防止することが可能なメモリ装置を提供することである。

【0029】

第2の目的は、システムボード上のチップの実装面積の増大を防止することが可能なメモリ装置を提供することである。

【0030】

【課題を解決するための手段】

請求項1に記載のメモリ装置は、メモリユニットと、複数のユニットからのバス使用要求を調停しながらメモリユニットを制御するアービタとを含んだメモリ装置であって、アービタは、第1のバス使用要求に対応するメモリユニットへのアクセスが完了する前に第2のバス使用要求がある場合、第1のバス使用要求に対応するメモリユニットへのアクセスと並行して第2のバス使用要求に対応したメモリユニットの活性化を行なう。

【0031】

アービタが、第1のバス使用要求に対応するメモリユニットへのアクセスと並行して第2のバス使用要求に対応したメモリユニットの活性化を行なうので、第

1 のバス使用要求に対応したメモリユニットへのアクセスの完了直後に、第 2 のバス使用要求に対応したメモリユニットへのアクセスができるようになり、処理性能の向上を図ることが可能となる。また、複数のユニットがメモリ装置を共有できるので、システムボード上のチップの実装面積の増大を防止することが可能となる。

【 0 0 3 2 】

請求項 2 に記載のメモリ装置は、請求項 1 記載のメモリ装置であって、アービタは、第 1 のバス使用要求に対応するメモリユニットへのアクセスが完了する前に第 2 のバス使用要求に対応した許可信号を出力する。

【 0 0 3 3 】

したがって、第 1 のバス使用要求に対応したメモリユニットへのアクセスの完了直後に、第 2 のバス使用要求に対応したメモリユニットへのアクセスができるようになり、処理性能の向上を図ることが可能となる。

【 0 0 3 4 】

請求項 3 に記載のメモリ装置は、請求項 1 または 2 記載のメモリ装置であって、メモリユニットは、複数のメモリバンクを有し、アービタは、複数のユニットに対応した複数のアドレスポートを有し、第 1 のバス使用要求に対応するメモリユニット内の第 1 のメモリバンクへのアクセスと並行して第 2 のバス使用要求に対応したアドレスをメモリユニットへ出力し、第 1 のメモリバンクと異なる第 2 のメモリバンクの活性化を行なう。

【 0 0 3 5 】

したがって、第 1 のメモリバンクへのアクセスと、第 2 のメモリバンクの活性化とが並行に行なわれ、処理性能の向上を図ることが可能となる。

【 0 0 3 6 】

請求項 4 に記載のメモリ装置は、請求項 1 ～ 3 のいずれかに記載のメモリ装置であって、メモリ装置は複数のユニットを内蔵する。

【 0 0 3 7 】

したがって、システムボード上のチップの実装面積の増大をさらに防止することが可能となる。

【0038】

## 【発明の実施の形態】

図1は、本発明の実施の形態におけるシステムボードの概略構成を示すブロック図である。このシステムボード1は、メモリ11と、システム全体の制御を行なうCPU12と、データを処理するDSP13と、浮動小数点演算などの演算処理や他の処理を行なうロジック14とを含む。また、メモリ11はメモリバスの使用権を調停するアービタ15を含む。メモリ11は、アービタ15を含む点以外は、図4に示す非同期式DRAMチップまたは図5に示す同期式DRAMチップの内部構成と同様であるので、詳細な説明は繰返さない。

【0039】

CPU12、DSP13、ロジック14などの各ユニットは、メモリバスを介してメモリ11に接続しており、メモリ11を共有する。CPU12は、メモリ11にアクセスしながら主にシステム全体の制御を行なう。ロジック14は、メモリ11にアクセスしながら浮動小数点演算などの演算処理を行なう。また、DSP13は、メモリ11にアクセスしながらデータ処理を行なう。

【0040】

また、CPU12、DSP13およびロジック14は、それぞれ別個の制御バス1～3によってメモリ15と接続されている。制御バス1～3のそれぞれは、アドレス（A d d）信号、メモリデータバスの使用権獲得のためのリクエスト（R e q）信号およびリクエストに対する許可（A c k）信号を含む。

【0041】

アービタ15は、CPU12、DSP13およびロジック14からメモリ11の使用権獲得のためのR e q信号を受ける。それぞれのR e q信号には優先権が設けられており、アービタ15はその優先権にしたがって各リクエストを調停する。そして、アービタ15は、メモリバスの使用権を獲得したチップに対して許可（A c k）信号を出力する。

【0042】

CPU12、DSP13およびロジック14は、A c k信号を受ける前からA d d信号の出力を開始する。メモリ11がDRAMによって構成されるとともに

、バンク構成を採用する場合、ロウアドレスの活性化は、1つ前の読出し／書込みサイクルが終了する前に行うことができる。したがって、本実施の形態においては、メモリ11にアービタ15を内蔵するとともに、アービタ15が複数のアドレスポートを有し、1つ前の読出し／書込みサイクルが終了する前に、アービタ15が次の読出し／書込みサイクルのアドレスを受けて、異なるメモリバンクのロウアドレスの活性化を先に行なうものである。

#### 【0043】

図2は、本発明の実施の形態におけるメモリ11に内蔵されたアービタ15の動作を説明するためのタイミングチャートである。サイクル1において、CPU12がメモリバスの使用権獲得のためのReq信号をアービタ15へ出力する。サイクル2において、アービタ15がReq信号の調停(Arb)を行なう。サイクル3において、CPU12から既にAdd信号が出力されているので、アービタ15はAck信号を出力する前に、メモリ11に対してAdd信号、コマンド(Act)などを出力して、メモリ15内のメモリバンクのロウアドレスを活性化させる。

#### 【0044】

サイクル4において、他にReq信号を出力しているチップがないため、アービタ15はCPU12に対してAck信号を出力する。このサイクル4で、DSP13がアービタ15へReq信号を出力する。

#### 【0045】

サイクル5において、アービタ15はメモリバスの使用権獲得のためのReq信号の調停を行なうが、優先順位にしたがってCPU12がメモリバスを使用中であるので、DSP13に対するAck信号は出力されない。サイクル5～8において、アービタ15はCPU12からの要求に応じてメモリ11にコマンドを出力し、メモリ11に対するデータ読出し(Read)またはデータ書込み(Write)を行なう。

#### 【0046】

また、サイクル6において、DSP13から既にAdd信号が出力されているので、アービタ15はメモリ11に対してAdd信号、コマンド(Act)など

を出力して、メモリ 11 内の異なるメモリバンクのロウアドレスを活性化させる。

【0047】

アービタ 15 がメモリ 11 に対するデータ読出しまたはデータ書込みを終了するサイクル 8 において、アービタ 15 は A c k 信号を D S P 13 へ出力する。このサイクルで、ロジック 14 がアービタ 15 へ R e q 信号を出力する。

【0048】

サイクル 9 ~ 12 において、アービタ 15 は D S P 13 からの要求に応じてメモリ 11 にコマンドを出力し、メモリ 11 に対するデータ読出し (R e a d) またはデータ書込み (W r i t e) を行なう。

【0049】

また、サイクル 9 において、アービタ 15 はメモリバスの使用権獲得のための R e q 信号の調停を行なうが、優先順位にしたがって D S P 13 がメモリバスを使用するので、ロジック 14 に対する A c k 信号は出力されない。

【0050】

サイクル 10 において、ロジック 14 から既に A d d 信号が出力されているので、アービタ 15 はメモリ 11 に対して A d d 信号、コマンド (A c t) などを出力して、メモリ 15 内の異なるメモリバンクのロウアドレスを活性化させる。

【0051】

アービタ 15 がメモリ 11 に対するデータ読出しまたはデータ書込みを終了するサイクル 12 において、アービタ 15 は A c k 信号をロジック 14 へ出力する。以降、同様の処理が行なわれる。

【0052】

なお、本実施の形態においては、システムボード 1 にメモリチップ 11、C P U 12、D S P 13、ロジック 14 などの別個のチップを搭載する場合について説明したが、S O C (System On a Chip)、S I P (System In a Package) などのメモリ混載チップのように同じチップ内にこれらの機能を持たせるようにしてもよい。

【0053】

システムボード上でのメモリチップにおいて、データバス幅として多くても、 $\times 32$ ビット（主流は $\times 16$ ビット）のチップが多い。しかし、メモリ混載チップでは、 $\times 128$ ビット、 $\times 256$ ビットなど、データバス幅が急激に多くなるが、ビット数が多くなることによりアドレスの本数が少なくなる。すなわち、本実施の形態におけるメモリ装置の構成は、各ユニットを1つのチップに搭載したメモリ混載チップの方が有効である。

【0054】

なお、本実施の形態におけるメモリ装置をメモリ混載チップに搭載した場合の構成は、図1に示すシステムボード1の構成と比較して、メモリ11と、CPU12、DSP13、ロジック14などのユニットとが1つのチップに搭載される点のみが異なる。したがって、詳細な説明は繰返さない。

【0055】

以上説明したように、本実施の形態におけるメモリ装置によれば、メモリ11にアービタ15を内蔵し、1つ前の読出し／書込みサイクルが終了する前に、アービタ15が次の読出し／書込みサイクルのアドレスを受けて、異なるメモリバンクのロウアドレスの活性化を先に行なうようにしたので、メモリ11のアクセスに要するサイクル数を減らすことができ、システム全体の処理性能を向上させることが可能となった。

【0056】

また、CPU12、DSP13およびロジック14がメモリ11を共有できるので、システムボード1上のチップの実装面積の増大を防止することが可能となった。

【0057】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0058】

【発明の効果】

請求項 1 に記載のメモリ装置によれば、アービタが、第 1 のバス使用要求に対応するメモリユニットへのアクセスと並行して第 2 のバス使用要求に対応したメモリユニットの活性化を行なうので、第 1 のバス使用要求に対応したメモリユニットへのアクセスの完了直後に、第 2 のバス使用要求に対応したメモリユニットへのアクセスができるようになり、処理性能の向上を図ることが可能となった。また、複数のユニットがメモリ装置を共有できるので、システムボード上のチップの実装面積の増大を防止することが可能となった。

【 0 0 5 9 】

請求項 2 に記載のメモリ装置によれば、第 1 のバス使用要求に対応したメモリユニットへのアクセスの完了直後に、第 2 のバス使用要求に対応したメモリユニットへのアクセスができるようになり、処理性能の向上を図ることが可能となった。

【 0 0 6 0 】

請求項 3 に記載のメモリ装置によれば、第 1 のメモリバンクへのアクセスと、第 2 のメモリバンクの活性化とが並行に行なわれ、処理性能の向上を図ることが可能となった。

【 0 0 6 1 】

請求項 4 に記載のメモリ装置によれば、システムボード上のチップの実装面積の増大をさらに防止することが可能となった。

【図面の簡単な説明】

【図 1】 本発明の実施の形態におけるシステムボードの概略構成を示すブロック図である。

【図 2】 本発明の実施の形態におけるメモリ 1 1 に内蔵されたアービタ 1 5 の動作を説明するためのタイミングチャートである。

【図 3】 CPU チップ、メモリチップなどを搭載した従来のシステムボードの概略構成の一例を示すブロック図である。

【図 4】 メモリ 1 1 1 a ~ 1 1 1 c の一例である非同期式 DRAM チップの内部構成を示すブロック図である。

【図 5】 メモリ 1 1 1 a ~ 1 1 1 c の他の一例である同期式 DRAM チップ

プの内部構成を示すブロック図である。

【図 6】 CPUチップ、メモリチップなどを搭載した従来のシステムボードの概略構成の他の一例を示すブロック図である。

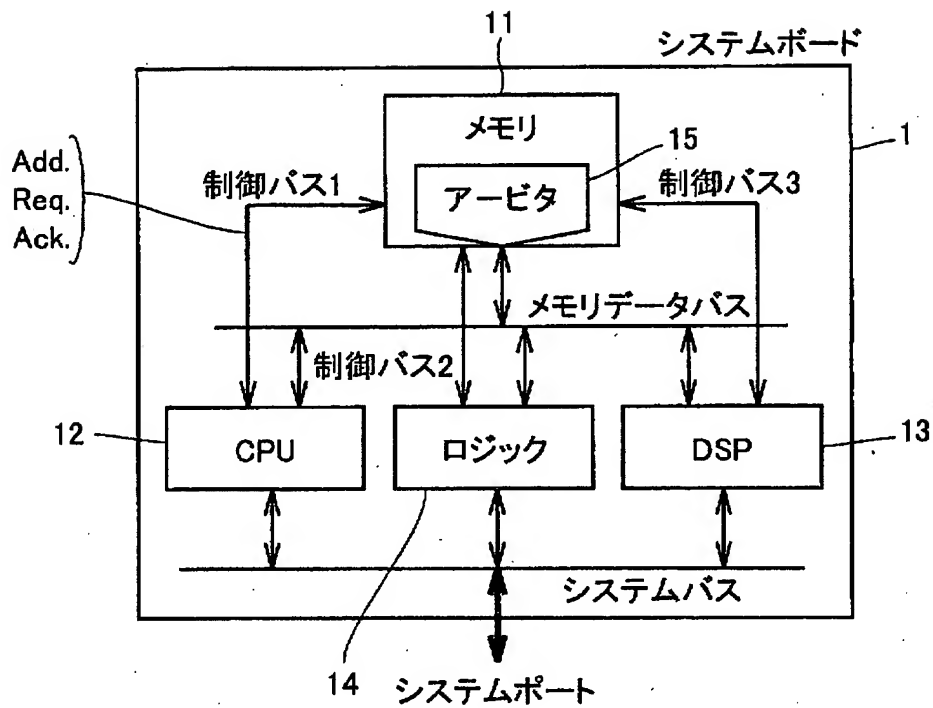
【図 7】 システムボード 1 0 2 に実装されたアービタ 1 1 5 の動作を説明するためのタイミングチャートである。

【符号の説明】

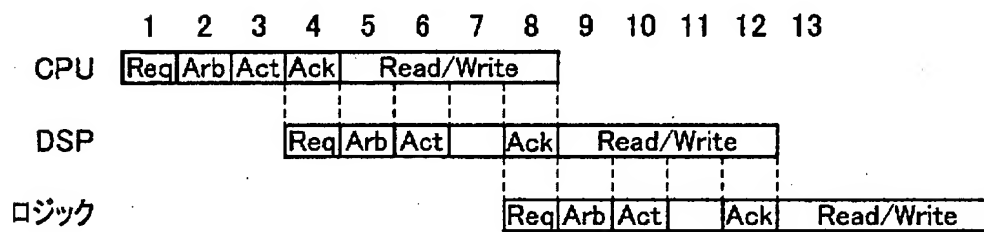
1, 1 0 1, 1 0 2 システムボード、1 1, 1 1 1, 1 1 1 a ~ 1 1 1 c  
メモリ、1 2, 1 1 2 CPU、1 3, 1 1 3 DSP、1 4, 1 1 4 ロジッ  
ク、1 5, 1 1 5 アービタ、1 2 1, 1 3 1 メモリアレイ、1 2 2, 1 3 2  
アドレス入力部、1 2 3, 1 3 3 アドレスデコーダ、1 2 4, 1 3 4 コマ  
ンド入力部、1 2 5, 1 3 5, 1 3 7 制御部、1 2 6, 1 3 8 データ制御部  
、1 2 7, 1 3 9 データ入出力部、1 3 6 クロック入力部。

【書類名】 図面

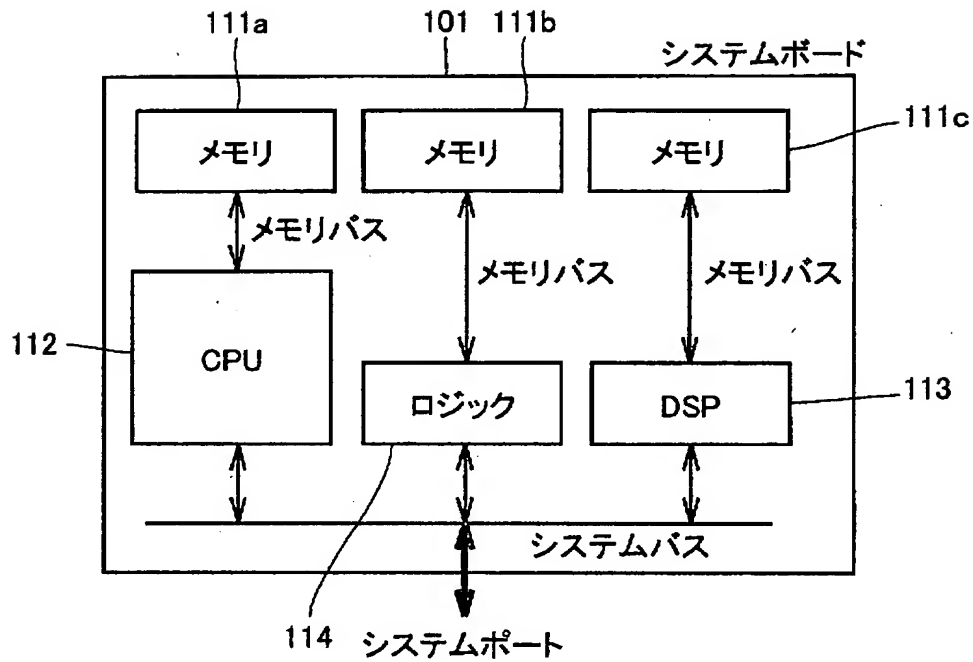
【図 1】



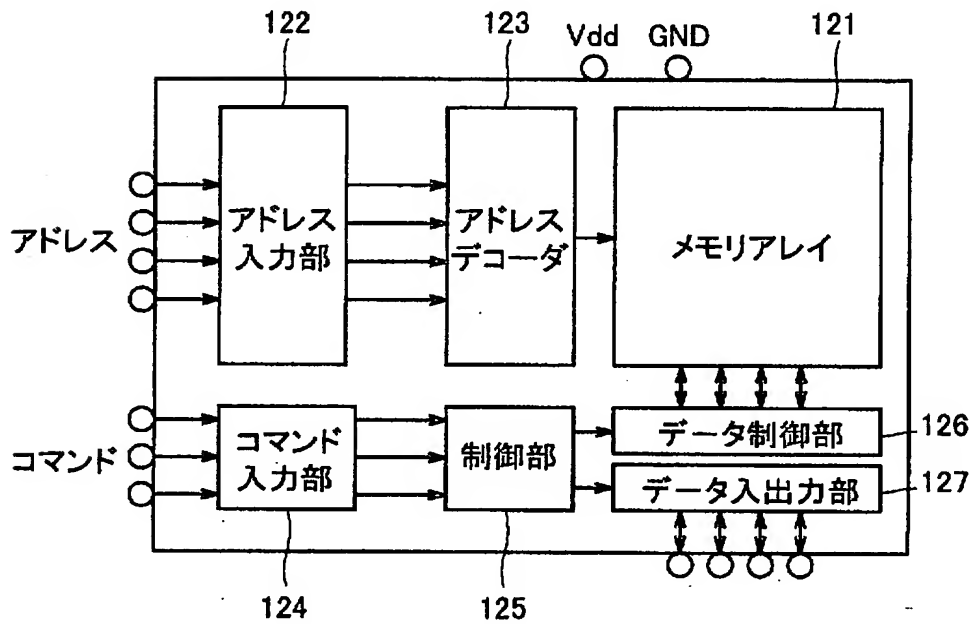
【図 2】



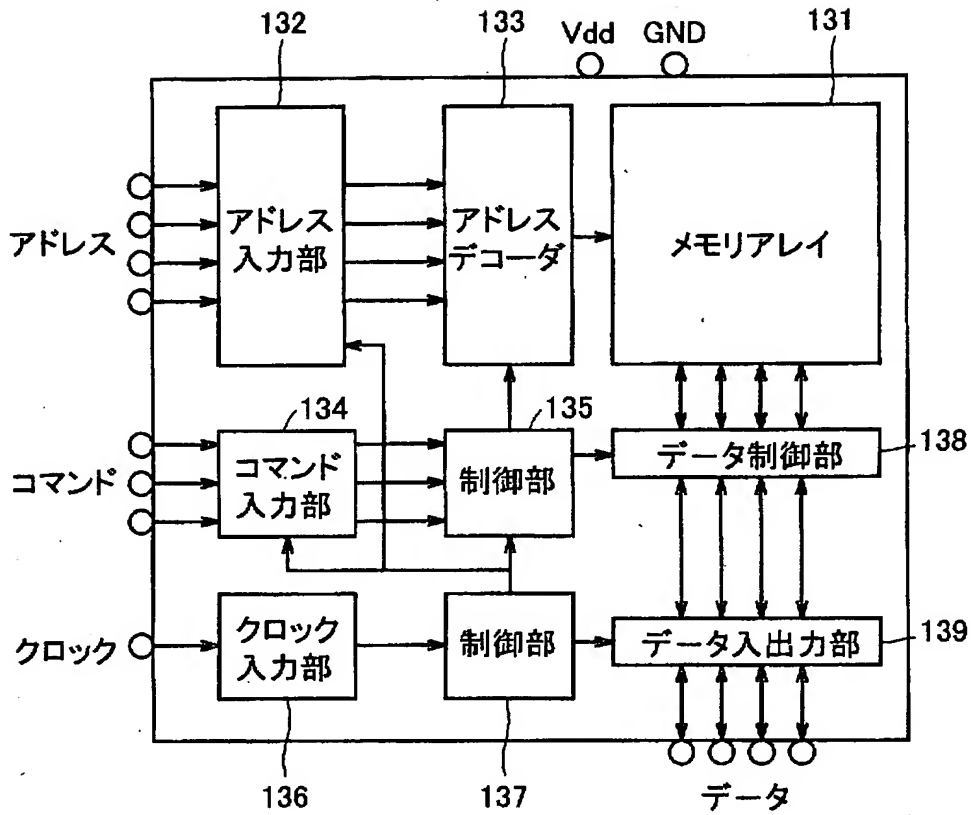
【図3】



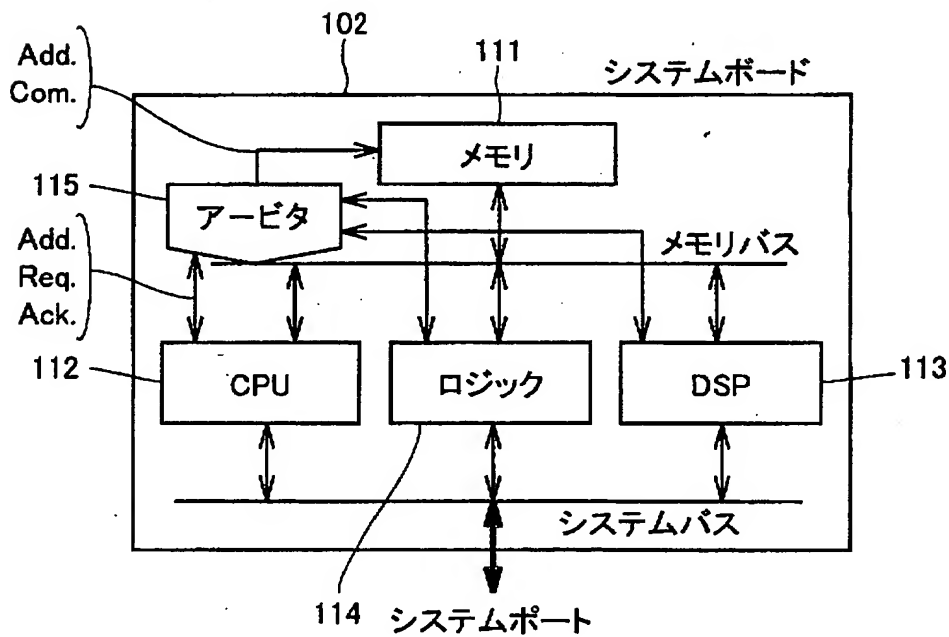
【図4】



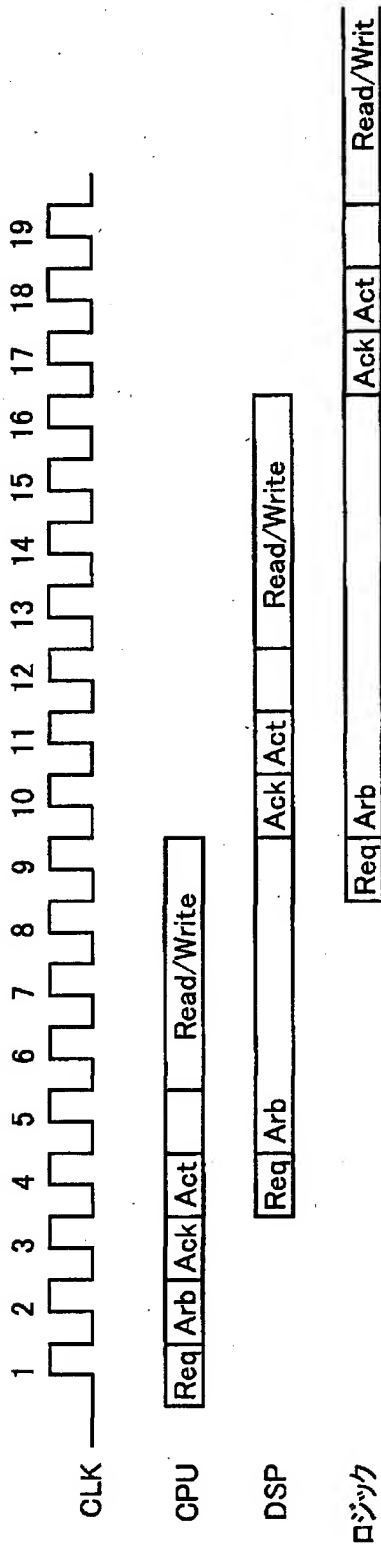
【図 5】



【図 6】



【図 7】



【書類名】            要約書

【要約】

【課題】    システム全体の処理性能の低下を防止することが可能なメモリ装置を提供すること。

【解決手段】    アービタ 1 5 は、CPU 1 2 からのバス使用要求に対応するメモリ 1 1 へのアクセスが完了する前に DSP 1 3 からバス使用要求がある場合、CPU 1 2 からのバス使用要求に対応するメモリ 1 1 へのアクセスと並行して DSP 1 3 からのバス使用要求に対応したメモリ 1 1 の活性化を行なう。したがって、CPU 1 2 からのバス使用要求に対応したメモリ 1 1 へのアクセスの完了直後に、DSP 1 3 のバス使用要求に対応したメモリ 1 1 へのアクセスができるようになり、処理性能の向上を図ることが可能となる。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社